

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-281949

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

G02F 1/133  
G09G 3/36

(21)Application number : 10-081368

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.03.1998

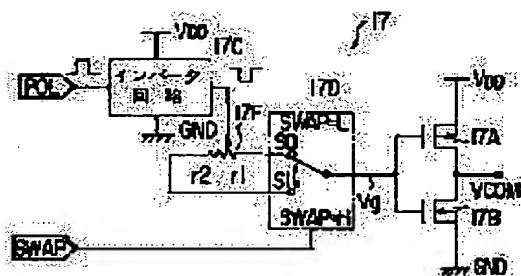
(72)Inventor : KISHIMOTO TOMOJI

## (54) COMMON ELECTRODE DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of classifications of supply voltages.

SOLUTION: A common electrode driving circuit is provided with a power supply terminal VDD of +5 V, a ground terminal GND of 0 V, an output terminal VCOM for output of a common voltage, a transistor TR 17A which is connected between the power supply terminal VDD and then output terminal VCOM and charges the parasitic capacity of the output terminal VCOM, a TR 17B which is connected between the output terminal VCOM and the ground terminal GND and discharges the parasitic capacity of the output terminal VCOM, and a level inversion circuit which alternately turns on TRs 17A and 17B in every horizontal scanning period to invert the level of the potential of the output terminal VCOM. Especially, the level inversion circuit includes control circuits 17C, 17D, and 17E which control the transition times of TRs 17A and 17B so that the potential of the output terminal VCOM may be set to +4.5 V by turning-on of the TR 17A and may be set to +0.5 V by turning-on of the TR 17B.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-281949

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.<sup>6</sup>  
G 0 2 F 1/133  
G 0 9 G 3/36

識別記号  
5 0 5

F I  
G 0 2 F 1/133  
G 0 9 G 3/36

5 0 5

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平10-81368

(22) 出願日 平成10年(1998) 3 月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岸本 朋二

兵庫県姫路市余部区上余部50番地 株式会

社東芝姫路工場内

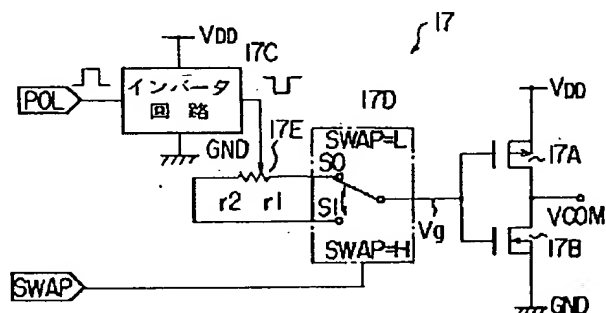
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 コモン電極駆動回路

(57) 【要約】

【課題】 電源電圧の種類を低減する。

【解決手段】 コモン電極駆動回路が +5V の電源端子 VDD と、0V の接地端子 GND と、コモン電圧を出力する出力端子 VCOM と、電源端子 VDD および出力端子 VCOM 間に接続され出力端子 VCOM の寄生容量を充電するトランジスタ 17A と、出力端子 VCOM および接地端子 GND 間に接続され出力端子 VCOM の寄生容量を放電するトランジスタ 17B と、1 水平走査期間毎にトランジスタ 17A および 17B を交互に導通させ出力端子 VCOM の電位をレベル反転させるレベル反転回路とを備える。特に、レベル反転回路は出力端子 VCOM の電位がトランジスタ 17A の導通により +4.5V に設定されトランジスタ 17B の導通により +0.5V に設定されるようトランジスタ 17A および 17B の遷移時間を制御する制御回路 17C、17D、17E を含む。



## 【特許請求の範囲】

【請求項 1】 第 1 電源端子と、この第 1 電源端子の電位よりも低いレベルの電位に設定される第 2 電源端子と、コモン電圧を出力する出力端子と、前記第 1 電源端子および前記出力端子間に接続され前記出力端子の寄生容量を充電する第 1 トランジスタ素子と、前記出力端子および第 2 電源端子間に接続され前記出力端子の寄生容量を放電する第 2 トランジスタ素子と、所定期間毎に前記第 1 および第 2 トランジスタ素子を交互に導通させ前記出力端子の電位をレベル反転させるレベル反転回路とを備え、前記レベル反転回路は前記出力端子の電位が前記第 1 トランジスタの導通により前記第 1 電源端子の電位および第 2 電源端子の電位レベル範囲において第 1 所定レベルに設定され前記第 2 トランジスタ素子の導通により前記第 1 電源端子の電位および第 2 電源端子の電位間のレベル範囲において第 1 所定レベルよりも低い第 2 所定レベルに設定されるよう前記第 1 および第 2 トランジスタ素子の遷移時間を制御する制御手段を含むことを特徴とするコモン電極駆動回路。

【請求項 2】 前記制御手段は前記第 1 および第 2 トランジスタ素子の制御電圧を前記所定期間内に変更する電圧変更手段を含むことを特徴とする請求項 1 に記載のコモン電極駆動回路。

【請求項 3】 前記電圧変更手段は前記制御電圧を得るために前記第 1 および第 2 トランジスタ素子の入力容量を充電する充電電流並びに前記第 1 および第 2 トランジスタ素子の入力容量を放電する放電電流を前記第 1 および第 2 電源端子の電位からそれぞれ発生する充放電回路と、この充放電回路において発生される充電電流および放電電流の各々を切り換える電流切換回路とを備えることを特徴とする請求項 2 に記載のコモン電極駆動回路。

【請求項 4】 前記電圧変更手段は前記第 1 および第 2 電源端子間の電圧を前記制御電圧として分圧する分圧回路と、この分圧回路によって分圧される電圧を切り換える電圧切換回路とを備えることを特徴とする請求項 2 に記載のコモン電極駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は液晶表示装置に代表される平面表示装置に関し、特にこの平面表示装置においてコモン電極の電位を周期的にレベル反転するコモン電極駆動回路に関する。

## 【0002】

【従来の技術】 近年、液晶表示装置が薄型軽量、さらに低消費電力という利点からかなり普及しつつある。一般的な液晶表示装置は、液晶組成物がアレイ基板および対向基板間に保持される構造を有する。アレイ基板および対向基板は例えば各々絶縁性および光透過性を有し、液晶セルがアレイ基板と対向基板との間隙に液晶組成物を充填して形成される。アレイ基板は複数の画素電極のマ

トリスクアレイと、これら画素電極の行に沿ってそれぞれ形成される複数の走査線と、これら画素電極の列に沿ってそれぞれ形成される複数の信号線と、複数の画素電極のマトリスクアレイを全体的に覆う第 1 配向膜とを有する。複数の走査線はそれぞれ画素電極の行を選択し、複数の信号線はそれぞれ選択行の画素電極に画素信号電圧を印加するために設けられる。対向基板は複数の画素電極のマトリクスアレイに対向するコモン電極と、このコモン電極を全体的に覆う第 2 配向膜とを有する。第 1 および第 2 配向膜は画素電極およびコモン電極間に電位差がないときに液晶セル内の液晶分子をツイストネマチック (TN) 配向させるために設けられる。光が偏光板を介して一方の基板側から液晶層に入射すると、この光が液晶層の厚さ方向に配列される液晶分子のねじれに沿って旋回し、他方の基板へ導かれ、さらに偏光板を介して選択的に透過される。電位差が画素電極およびコモン電極間に与えられると、液晶分子が画像が表示される基板表面に平行な平面からこの電位差に比例した角度だけチルトアップし、光の透過率を変化させる。

【0003】 アクティブマトリクス型液晶表示装置では、複数の薄膜トランジスタ (TFT) が走査線および信号線の交差位置の近くにそれぞれ形成され、各々対応する画素電極を選択的に駆動するスイッチング素子として用いられる。各 TFT のゲートは 1 走査線に接続され、ドレインは 1 信号線に接続され、ソースは 1 画素電極に接続される。この TFT は走査線からの走査パルスの立ち上がりに伴って導通し、信号線からの画素信号電圧を画素電極に供給する。画素電極およびコモン電極は液晶容量 CLC を構成し、これら電極間の電位差に対応して充電される。この電位差は TFT が走査パルスの立ち下がりに伴って非導通となった後も液晶容量 CLC に保持される。

【0004】 ところで、電界方向が常に同じである場合、液晶以外の物質が一方の電極側に集まってしまい、これが液晶セルの寿命を短縮する。従来、この解決策として、コモン電極の電位を基準にして画素信号電圧の極性を例えば 1 フレーム期間毎に反転させる技術が知られる。さらに、画素信号電圧の極性反転はフリッカーを低減するために例えば 1 水平走査期間毎にも行われることがある。最近では、上述の極性反転のために必要な画素信号電圧の振幅を低減する目的で、コモン電極の電位がコモン電極ドライバから供給されるコモン電圧により積極的にシフトされる。画素信号電圧 V<sub>SIG</sub> が 0 V から +5 V の振幅であるとする、画素信号電圧 V<sub>SIG</sub> がこの振幅の中心レベルを基準にレベル反転され、コモン電圧 V<sub>COM</sub> がこの画素信号電圧 V<sub>SIG</sub> のレベル反転に同期して高レベル V<sub>COMH</sub> (= +5.2 V) および低レベル V<sub>COML</sub> (= -0.2 V) の一方から他方にレベル反転される。

【0005】

【発明が解決しようとする課題】従来のコモン電極ドライバは高レベルVCOMHおよび低レベルVCOMLに等しい2つの安定化電源電圧レベルをDC/DCコンバータから得ている。しかし、このDC/DCコンバータはこの他にも画素信号電圧V<sub>SI</sub>Gを得るための安定化電源電圧レベル等も生成する必要があるため、その構造が複雑であった。これは、液晶表示装置を低コストで生産することを難しくする。本発明の目的は、電源電圧の種類を低減することが可能なコモン電極駆動回路を提供することにある。

【0006】

【課題を解決するための手段】本発明によれば、第1電源端子と、この第1電源端子の電位よりも低いレベルの電位に設定される第2電源端子と、コモン電圧を出力する出力端子と、第1電源端子および出力端子間に接続され出力端子の寄生容量を充電する第1トランジスタ素子と、出力端子および第2電源端子間に接続され出力端子の寄生容量を放電する第2トランジスタ素子と、所定期間毎に第1および第2トランジスタ素子を交互に導通させ出力端子の電位をレベル反転させるレベル反転回路とを備え、レベル反転回路は出力端子の電位が第1トランジスタの導通により第1電源端子の電位および第2電源端子の電位レベル範囲において第1所定レベルに設定され第2トランジスタ素子の導通により第1電源端子の電位および第2電源端子の電位間のレベル範囲において第1所定レベルよりも低い第2所定レベルに設定されるよう第1および第2トランジスタ素子の遷移時間を制御する制御手段を含むことを特徴とするコモン電極駆動回路。

【0007】このコモン電極駆動回路では、他の回路でも使用可能な安定化電源電圧を第1および第2電源端子間に供給してコモン電圧を発生することができる。このため、コモン電極駆動回路のためだけ使用されるような安定化電源電圧を発生する必要がなくなり、表示装置を低コストで生産できるようになる。また、コモン電極駆動回路の部品数も低減されたため、表示装置をコストをさらに低減するだけでなく、狭額縁化を図ることも可能になる。

【0008】さらに、このコモン電極駆動回路では、第1および第2トランジスタ素子の遷移時間が制御され、コモン電圧VCOMを第1および第2所定レベルに設定する。従って、この遷移パターンを変更するだけで、第1および第2所定電圧をシフトさせて、フリッカーの発生を抑制することができる。このとき、コモン電圧の振幅も変化させれば、表示品位をより安定化することができる。

【0009】

【発明の実施の形態】以下、本発明の第1実施形態に係るアクティブマトリクス型液晶表示装置を図面を参照して説明する。図1はこの液晶表示装置の構成を概略的に

示し、図2は図1に示す液晶パネル10の断面構造を示す。この液晶表示装置はカラー表示可能な液晶パネル10を有する。この液晶パネル10は光透過性を有するアレイ基板ARSおよび対向基板CTS、およびこれらアレイ基板ARSおよび対向基板CTS間に保持され液晶組成物を充填した液晶セルLCにより構成される。液晶パネル10において、アレイ基板ARSはガラス基板SB1と、このガラス基板SB1上に形成される480×1920個の画素電極20のマトリクスアレイと、これら画素電極20の行に沿ってそれぞれ形成される480本の走査線Y1-Y480と、これら画素電極20の列に沿ってそれぞれ形成される1920本の信号線X1-X1920と、走査線Y1-Y480および信号線X1-X1920の交差点近くにそれぞれスイッチング素子として形成される480×1920個の薄膜トランジスタ(TFT)24と、各々対応する行の画素電極20に絶縁膜を介してオーバーラップして形成される480本の蓄積容量線26と、画素電極20のマトリクスアレイを全体的に覆う第1配向膜OR1とを有する。また、対向基板CTSはガラス基板SB2と、画素電極20の周辺をマスクするためにこのガラス基板SB2上に形成される遮光膜STと、赤、緑、青の色成分の光を選択的に透過するカラーフィルタFLと、画素電極20のマトリクスアレイに対向するコモン電極22と、このコモン電極22を全体的に覆う第2配向膜OR2とを有する。第1配向膜OR1および第2配向膜OR2は画素電極20およびコモン電極22間に電位差がないときに液晶分子をツイストネマチック(TN)配向させるために設けられる。各TFT24は走査線Y1-Y480のうちの1本に接続されるゲート、および信号線X1-X1920のうちの1本と全画素電極20のうちの1個との間に接続されるソース・ドレインバスを有する。画素電極20とコモン電極22とは液晶容量CLCを構成し、蓄積容量線26と画素電極20とは蓄積容量CSを構成する。アレイ基板ARSおよび対向基板CTSの外側表面には、互いに直交する向きに設定される2枚の偏光板PL1およびPL2が貼り付けられ、コモン電極22は蓄積容量線26に接続される。

【0010】液晶表示装置は液晶パネル10に接続される表示制御回路を有する。この表示制御回路は、信号線X1-X1920を駆動するXドライバ12と、走査線Y1-Y480を駆動するYドライバ14と、Xドライバ12およびYドライバ14を制御する液晶コントローラ16と、コモン電極22を蓄積容量線26と共に駆動するコモン電極ドライバ17と、外部電源電圧のレベルを安定な+5V、+19V、-12Vに変換するDC/DCコンバータ18を有する。+5Vの電源電圧はXドライバ12、液晶コントローラ16、およびコモン電極ドライバ17に接続される電源端子VDDに供給され、+19Vおよび-12Vの電源電圧はYドライバ14に

接続される電源端子VONおよびVOFFに供給される。

【0011】液晶コントローラ16は、外部から順次供給される階調データをスタートパルスSTおよびシフトクロックCKと共にXドライバ12に供給する。スタートパルスST1は1920個の階調データが供給される1水平走査期間毎に発生され、シフトクロックCKは各階調データの供給毎に発生される。さらに、液晶コントローラ16は1水平走査期間毎に走査線Y1-Y480のうちの1本を選択し、この選択結果を選択信号としてYドライバ14に供給する。極性反転信号POLは液晶セルLC内の電界方向を周期的に反転させるために1フレーム期間および1水平走査期間毎に接地レベル(=0V)およびVDDレベル(=+5V)の一方から他方に変化する信号であり、液晶コントローラ16からXドライバ12および共通電極ドライバ17に供給される。さらに、切換信号SWAPは例えば極性反転信号POLを遅延することにより得られる信号であり、極性反転信号POLと共に液晶コントローラ16から共通電極ドライバ17に供給される。極性反転信号POLに対する切換信号SWAPの遅延時間は例えば1/2水平走査期間を基準値として設定されるが、この基準値は表示品質が最適となるように調整可能である。

【0012】Xドライバ12は例えば図3に示すように階調データを接地レベル(=0V)からVDDレベル(=+5V)までの電圧レベルに変換するD/A変換器12A、シフトクロックCKに応答してスタートパルスSTを後段にシフトする1920段のシフトレジスタ12B、および各々シフトレジスタ12Bの対応段にシフトされたスタートパルスSTに응答して階調データを順次サンプリングしラッチするラッチ回路12Cを有する。すなわち、画素信号電圧VSIGは上述した接地レベルからVDDレベルまでのような範囲に対応する所定の振幅を持つ。

【0013】Yドライバ14は液晶コントローラ16からの選択信号に基づいて走査線Y1-Y480を順次選択し、VOFFレベル(=-12V)からVONレベル(=+19V)に立ち上がる走査パルスを選択走査線に供給する。このとき、非選択走査線の電位はVOFFレベル(=-12V)に維持される。

【0014】各TFT24は対応走査線からの走査パルスの立ち上がりに伴って導通し、対応信号線からの画素信号電圧VSIGを対応画素電極20に供給する。液晶容量CLCおよび蓄積容量CSはこの画素信号電圧VSIGによって充電される。TFT24は走査パルスの立ち下がりに伴って非導通となるが、画素電極20および共通電極22間の電位差はこの後も液晶容量CLCおよび蓄積容量CSによって保持され、TFT24が1フレーム期間後に再び導通したときに更新される。

【0015】共通電極ドライバ17は、画素信号電圧

VSIGの振幅である5Vよりも小さい4Vの振幅の共通電圧VCOMを共通電極22に供給する。この共通電極ドライバ17は例えば図4に示すように+5Vの電源端子VDDおよび0Vの接地端子GND間においてカレントパスが直列に接続されるCMOSトランジスタ17Aおよび17Bと、出力電圧が極性反転信号POLをレベル反転することにより接地レベル(=0V)およびVDDレベル(=+5V)の一方に設定される出力電圧を発生するインバータ回路17Cと、第1および第2入力端S0およびS1を持ちこれら入力端S0およびS1のうち切換信号SWAPに対応する一方を介して流れる電流によりCMOSトランジスタ17Aおよび17Bのゲートを充放電する切換スイッチ17Dと、切換スイッチ17Eの入力端S0およびS1にそれぞれ接続される第1および第2端子並びにインバータ回路17Cの出力端子に接続され第1および第2端子間で摺動可能な中間タップを持つ可変抵抗器17Eとを有する。共通電圧VCOMの出力端子はCMOSトランジスタ17Aおよび17B間の接続点に接続される。MOSトランジスタ17Aは共通電圧VCOMの出力端子の寄生容量を充電し、MOSトランジスタ17Bは共通電圧VCOMの出力端子の寄生容量を放電するために用いられる。

【0016】図5に示すように、極性反転信号POLが1水平走査期間に等しいレベル反転周期Tで変化すると、切換信号SWAPが極性反転信号POLに対してT/2の周期だけ遅れて変化する。

【0017】極性反転信号POLが+5Vに立ち上がると、切換信号SWAPがT/2期間だけ低レベル(=0V)に維持され、これに続くT/2期間だけ高レベル(=+5V)に維持される。切換スイッチ17Dは切換信号SWAPが低レベルのときに入力端S0を選択し可変抵抗器17Eの第1端子および中間タップ間の抵抗r1によって決定される電流によりCMOSトランジスタ17Aおよび17Bのゲートを充電する。さらに、切換スイッチ17Dは切換信号SWAPが高レベルのときに入力端S1を選択し可変抵抗器17Eの第2端子および中間タップ間の抵抗r2によって決定される電流によりCMOSトランジスタ17Aおよび17Bのゲートを充電する。すなわち極性反転信号POLが+5Vである期間においては、MOSトランジスタ17Aがこのゲート制御に対応する遷移時間で導通し、共通電極22の電位を+4.5Vの高レベルVCOMHに設定する。

【0018】他方、極性反転信号POLが0Vに立ち下がると、切換信号SWAPがT/2期間だけ高レベル(=+5V)に維持され、これに続くT/2期間だけ低レベル(=0V)に維持される。切換スイッチ17Dは切換信号SWAPが高レベルのときに入力端S1を選択し可変抵抗器17Eの第2端子および中間タップ間の抵抗r2によって決定される電流によりCMOSトランジ

スタ17Aおよび17Bのゲートを充電する。さらに、切換スイッチ17Dは切換信号SWAPが低レベルのときに入力端S0を選択し可変抵抗器17Eの第1端子および中間タップ間の抵抗 $r_1$ によって決定される電流によりCMOSトランジスタ17Aおよび17Bのゲートを充電する。すなわち極性反転信号POLが0Vである期間においては、MOSTランジスタ17Bがこのゲート制御に対応する遷移時間で導通し、コモン電極22の電位を+0.5Vの低レベルVCOMLに設定する。

【0019】上述の液晶パネル10では、Xドライバ12が液晶コントローラ16の制御により各画素の階調データに応じて0Vから+5Vの範囲のいずれかのレベルに設定される画素信号電圧VSI Gを各水平走査期間において順次信号線X1-X1920に供給し、Yドライバ14が液晶コントローラ16の制御により走査パルスを各水平走査期間において順次走査線Y1-Y480に供給し、さらにコモン電極ドライバ17が液晶コントローラ16の制御によりコモン電圧VCOMをコモン電極22に供給する。画素信号電圧VSI Gおよびコモン電圧VCOMは奇数番目のフレーム期間において偶数番目の水平走査期間毎にレベル反転され、偶数番目のフレーム期間において奇数番目の水平走査期間毎にレベル反転される。

【0020】例えば全画素の表示を最大光透過率の白にする場合、画素信号電圧VSI Gは奇数番目のフレーム期間において奇数番目の水平走査期間毎に+5Vに設定され偶数番目の水平走査期間毎に0Vに設定され、偶数番目のフレーム期間において奇数番目の水平走査期間毎に0Vに設定され偶数番目の水平走査期間毎に+5Vに設定される。他方、コモン電圧VCOMは奇数番目のフレーム期間において奇数番目の水平走査期間毎に+0.5Vに設定され偶数番目の水平走査期間毎に+4.5Vに設定され、偶数番目のフレーム期間において奇数番目の水平走査期間毎に+4.5Vに設定され偶数番目の水平走査期間毎に+0.5Vに設定される。

【0021】また、例えば全画素の表示を最小光透過率の黒にする場合、画素信号電圧VSI Gは奇数番目のフレーム期間において奇数番目の水平走査期間毎に0Vに設定され偶数番目の水平走査期間毎に+5Vに設定され、偶数番目のフレーム期間において奇数番目の水平走査期間毎に+5Vに設定され偶数番目の水平走査期間毎に0Vに設定される。他方、コモン電圧VCOMは奇数番目のフレーム期間において奇数番目の水平走査期間毎に+4.5Vに設定され偶数番目の水平走査期間毎に+0.5Vに設定され、偶数番目のフレーム期間において奇数番目の水平走査期間毎に+0.5Vに設定され偶数番目の水平走査期間毎に+4.5Vに設定される。

【0022】図6は各画素の画素電極20およびコモン電極22間の電位関係を示す。図6において、Wは白を表示する画素電極20の電位を表し、Bは黒を表示する

画素電極20の電位を表す。例えば第1フレーム期間の第1水平走査期間では、走査パルスが走査線Y1に供給される。この走査線Y1に接続された全てのTFT24は走査パルスの立ち上がりに伴って導通し、信号線X1-X1920からの画素信号電圧VSI Gを第1行目の画素電極20にそれぞれ供給する。これにより、各画素電極20の電位が画素信号電圧VSI Gによって設定される。すなわち、画素電極20の電位は画素信号電圧VSI Gが白表示用であれば+5Vに設定され、画素信号電圧VSI Gが黒表示用であれば0Vに設定される。他方、コモン電極20の電位はこの第1フレーム期間の第1水平走査期間においてコモン電圧VCOMにより+4.5Vに設定される。液晶容量CLCおよび蓄積容量CSは画素電極20およびコモン電極22間の電位差によって充電され、この電位差に応じた電界を液晶セル内に印加する。走査パルスが立ち下ると、走査線Y1に接続された全てのTFT24が非導通となり、第1行目の画素電極20をそれぞれ信号線X1-X1920から電気的に分離されたフローティング状態にする。これにより、画素電極20およびコモン電極22間の電位差が液晶容量CLCおよび蓄積容量CSによって保持される。第1フレーム期間の第2水平走査期間では、コモン電極20の電位がコモン電圧VCOMのレベル反転により+4.5Vから4V低下した+0.5Vに設定される。このとき、画素電極20はフローティング状態にあるため、画素電極20の電位はコモン電極20の電位低下に伴って4V低下する。しかし、画素電極20およびコモン電極22間の電位差は変化しない。このため、この電位差に応じた電界が第2フレームの第1水平走査期間で再び走査線Y1に接続された全てのTFT24が導通するまで継続的に液晶セルLC内に印加される。

【0023】尚、実際にTFT24が非導通となつて、画素電極20をフローティング状態にすると、充電電荷が液晶容量CLCおよび蓄積容量CSに加えて画素電極20と走査線およびTFT24との間の寄生容量に再配分される。画素電極20の電位はこの結果として画素電極20から引き抜かれる電荷量に対応して低下する。これは画素電極20およびコモン電極22間の電位差を白表示時と黒表示時とで若干不均一とするため、この電荷の引き抜きによる画素電極20の電位低下分だけコモン電圧VCOMの振幅の中心レベルを低下させることが好ましい。

【0024】上述の実施形態によれば、コモン電極ドライバ17は電源電圧VDDの下で動作し、各水平走査期間毎に接地レベル(=0V)およびVDDレベル(=+5V)の範囲内でレベル反転されるコモン電圧VCOMを発生する。具体的には、切換スイッチ17Dが可変抵抗器17Eの抵抗 $r_1$ および $r_2$ を切り換えてCMOSトランジスタ17Aおよび17Bのゲートの寄生容量を充放電する電流値を変化させることによりゲート電圧

を制御する。CMOSトランジスタ17Aおよび17Bの遷移時間はこうして制御されるゲート電圧に応じて決定され、コモン電圧VCOMを+4.5Vおよび0.5Vの一方に設定する。

【0025】電源電圧VDDはコモン電極ドライバ17以外の回路でも使用されるため、DC/DCコンバータ18がこれらコモン電極ドライバ17のためだけ使用されるような安定化電源電圧を発生する必要がなくなり、表示装置を低コストで生産できるようになる。また、コモン電極ドライバ17の部品数も低減されたため、表示装置をコストをさらに低減するだけでなく、狭額縁化を図ることも可能になる。

【0026】さらに、極性反転信号POLに対する切換信号SWAPの遅延時間並びに変圧抵抗器17Eの抵抗 $r_1$ および $r_2$ の比率を調整することによりコモン電圧VCOMの電圧レベルVCOMHおよびVCOMLをシフトさせて、フリッカの発生を抑制することができる。このとき、コモン電圧VCOMの振幅も変化させれば、表示品位を安定化することができる。

【0027】次に、本発明の第2実施形態に係るアクティブマトリクス型液晶表示装置を説明する。この液晶表示装置はコモン電極ドライバ17が図7に示すように構成されることを除いて第1実施形態の液晶表示装置と同様である。このため、コモン電極ドライバ17以外の説明を省略する。図7では、第1実施形態と同様部分が同一参照符号で示される。この第2実施形態では、コモン電極ドライバ17が画素信号電圧V<sub>SIG</sub>の振幅である5Vよりも小さい4Vの振幅のコモン電圧VCOMをコモン電極22に供給するためにCMOSトランジスタ17Aおよび17B、分圧回路17F、並びに切換スイッチ17Gを有する。CMOSトランジスタ17Aおよび17Bのカレントパスは第1実施形態と同様に+5Vの電源端子VDDおよび0Vの接地端子GND間において直列に接続される。分圧回路17Fは電源端子VDDおよび接地端子GND間に直列に接続される3個の抵抗 $r_1$ 、 $r_2$ 、および $r_3$ で構成される。切換スイッチ17Gは電源端子VDDおよび抵抗 $r_1$ の接続点に接続される第1入力端S0、抵抗 $r_1$ および抵抗 $r_2$ の接続点に接続される第2入力端S1、抵抗 $r_2$ および抵抗 $r_3$ の接続点に接続される第3入力端S2、並びに抵抗 $r_3$ および接地端子GNDの接続点に接続される第4入力端を持ち、極性反転信号POLおよび切換信号SWAPとの組み合わせに応じてこれら入力端S0-S3のうちの1つを選択し、選択した入力端の電圧をCMOSトランジスタ17Aおよび17Bのゲートに供給する。コモン電圧VCOMの出力端子はCMOSトランジスタ17Aおよび17B間の接続点に接続される。MOSTランジスタ17Aはコモン電圧VCOMの出力端子の寄生容量を充電し、MOSTランジスタ17Bはコモン電圧VCOMの出力端子の寄生容量を放電するために用いられる。

【0028】図8に示すように、極性反転信号POLが1水平走査期間に等しいレベル反転周期Tで変化すると、切換信号SWAPが極性反転信号POLに対してT/2の周期だけ遅れて変化する。

【0029】極性反転信号POLが+5Vに立ち上がると、切換信号SWAPがT/2期間だけ低レベル(=0V)に維持され、これに続くT/2期間だけ高レベル(=+5V)に維持される。切換スイッチ17Dは切換信号SWAPが低レベルのときに入力端S0を選択し、この入力端の電圧をCMOSトランジスタ17Aおよび17Bのゲートに供給する。さらに切換スイッチ17Dは切換信号SWAPが高レベルのときに入力端S1を選択し、この入力端S1の電圧をCMOSトランジスタ17Aおよび17Bのゲートに供給する。すなわち極性反転信号POLが+5Vである期間においては、MOSTランジスタ17Aがこのゲート制御に対応する遷移時間で導通し、コモン電極22の電位を+4.5Vの高レベルVCOMHに設定する。

【0030】他方、極性反転信号POLが0Vに立ち下がると、切換信号SWAPがT/2期間だけ高レベル(=+5V)に維持され、これに続くT/2期間だけ低レベル(=0V)に維持される。切換スイッチ17Dは切換信号SWAPが高レベルのときに入力端S2を選択し、この入力端S2の電圧をCMOSトランジスタ17Aおよび17Bのゲートに供給する。さらに、切換スイッチ17Dは切換信号SWAPが低レベルのときに入力端S3を選択し、この入力端S3の電圧をCMOSトランジスタ17Aおよび17Bのゲートに供給する。すなわち極性反転信号POLが0Vである期間においては、MOSTランジスタ17Bがこのゲート制御に対応する遷移時間で導通し、コモン電極22の電位を+0.5Vの低レベルVCOMLに設定する。

【0031】上述の第2実施形態によれば、コモン電極ドライバ17は第1実施形態と同様に電源電圧VDDの下で動作し、各水平走査期間毎に接地レベル(=0V)およびVDDレベル(=+5V)の範囲内でレベル反転されるコモン電圧VCOMを発生する。具体的には、切換スイッチ17Gが分圧回路17Fに接続される入力端S0-S3の電圧を切り換えてCMOSトランジスタ17Aおよび17Bのゲートに供給することによりゲート電圧を制御する。CMOSトランジスタ17Aおよび17Bの遷移時間はこうして制御されるゲート電圧に応じて決定され、コモン電圧VCOMを+4.5Vおよび+0.5Vの一方に設定する。

【0032】電源電圧VDDは第1実施形態と同様にコモン電極ドライバ17以外の回路でも使用されるため、DC/DCコンバータ18がこれらコモン電極ドライバ17のためだけ使用されるような安定化電源電圧を発生する必要がなくなり、表示装置を低コストで生産できるようになる。また、コモン電極ドライバ17の部品数も

低減されたため、表示装置をコストをさらに低減するだけでなく、狭額縁化を図ることも可能になる。

【0033】さらに、極性反転信号POLに対する切換信号SWAPの遅延時間並びに分圧回路17Fの抵抗 $r_1$ から $r_3$ の比率を調整することによりコモン電圧VCOMの電圧レベルVCOMHおよびVCOMLをシフトさせて、フリッカの発生を抑制することができる。このとき、コモン電圧VCOMの振幅も変化させれば、表示品位を安定化することができる。

【0034】尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々に変形することができる。第1および第2実施形態では、コモン電極ドライバ17がCMOSトランジスタ17Aおよび17Bを備えるが、これらはバイポーラトランジスタに置き換えることもできる。また、図4および図7に示す接地端子GND(=0V)はマイナス電源端子に置き換えることもできる。この場合には、DC/DCコンバータ18の出力数はマイナス電源端子を0Vより低いマイナス電位に設定するために一つだけ多くなる。尚、図4に示すインバータ回路17Cはこの場合レベル変換器となる。

【0035】また、第2実施形態で用いられた分圧回路17Fを構成する抵抗数を増大し、この分圧回路から得られる電圧レベルを段階的に切り換えるよう切換スイッチ17Gを構成することによりCMOSトランジスタ17Aおよび17Bのゲート電圧をより細かく制御してもよい。さらに、上述の段階的な切換動作のために数ビットの切換信号SWAPを切換スイッチ17Gに供給するROM(EEPROMまたはEPROM)を液晶コントローラ16に設け、インターフェースを介してROMを外部接続すれば、コモン電圧VCOMの調節を自動化することも可能となる。

【0036】

【発明の効果】本発明によれば、電源電圧の種類を低減

することが可能なコモン電極駆動回路を提供できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るアクティブマトリクス型液晶表示装置の構成を概略的に示す回路図である。

【図2】図1に示す液晶パネルの構造を示す断面図である。

【図3】図1に示すXドライバの構成を示す回路図である。

32 【図4】図1に示すコモン電極ドライバの構成を示す回路図である。

【図5】図4に示す極性反転信号と切換信号との間の関係を示す波形図である。

【図6】図1に示す画素電極およびコモン電極間の電位関係を示す波形図である。

【図7】本発明の第2実施形態に係るアクティブマトリクス型液晶表示装置のコモン電極ドライバを示す回路図である。

42 【図8】図7に示す極性反転信号と切換信号との間の関係を示す波形図である。

【符号の説明】

ARS…アレイ基板

CTS…対向基板

LC…液晶セル

12…Xドライバ

14…Yドライバ

16…液晶コントローラ

17…コモン電極ドライバ

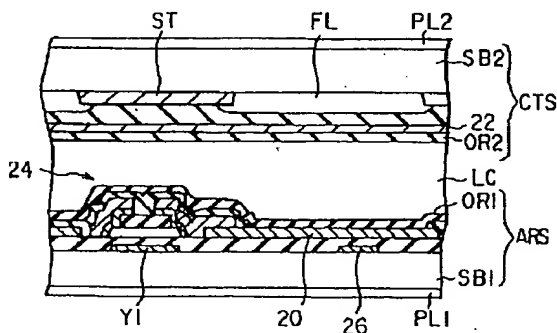
18…DC/DCコンバータ

52 20…画素電極

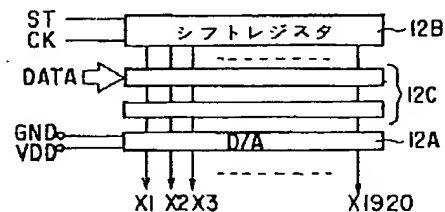
22…コモン電極

24…TFT

【図2】

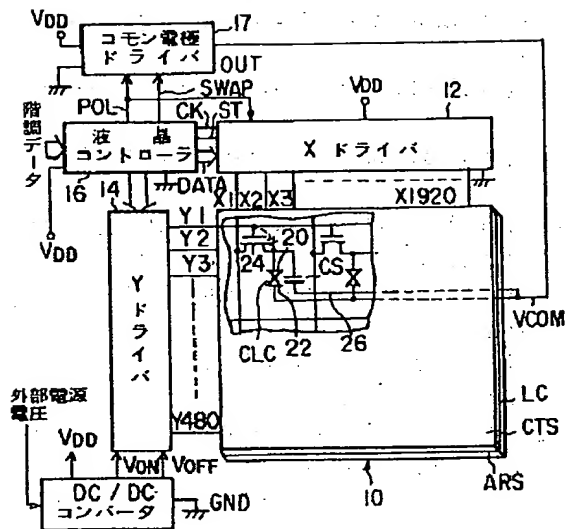


【図3】

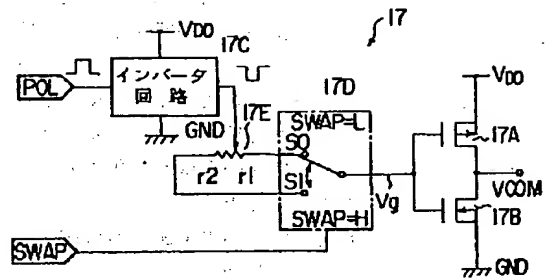




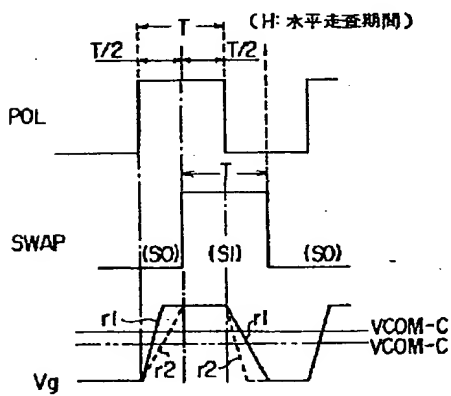
【図1】



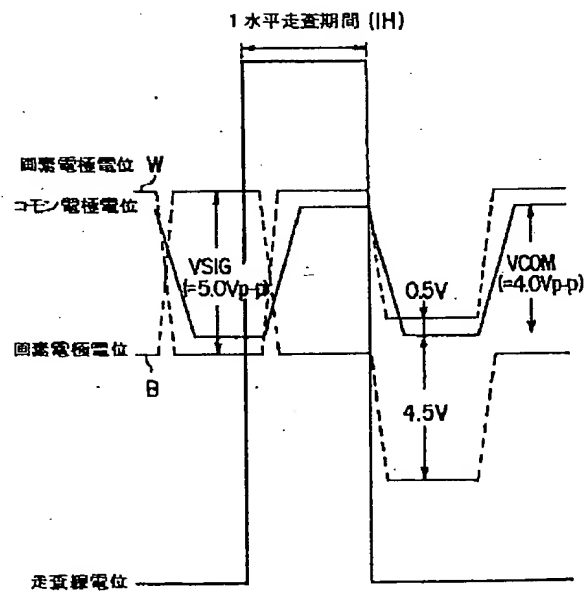
【図4】



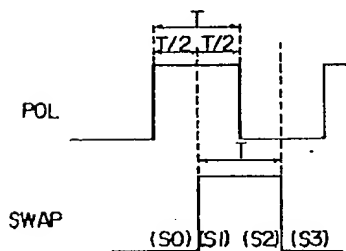
【図5】



【図6】



【図8】



The diagram shows a circuit for a 17F input buffer. On the left, three resistors labeled  $r1$ ,  $r2$ , and  $r3$  are connected in series between  $VDD$  and GND. The voltage across  $r1$  is  $2/3VDD$ , and the voltage across  $r2$  is  $1/3VDD$ . The input signal  $17F$  is applied to the top of  $r1$ . The outputs of the resistors are connected to the inputs  $S0$ ,  $S1$ , and  $S2$  of a buffer block labeled  $17G$ . The output of the  $17G$  buffer is connected to the input of a second buffer block labeled  $17A$  and  $17B$ . The output of this second buffer is connected to  $VCOM$ . The  $17G$  buffer is controlled by  $POL$  and  $SWAP$  signals.